

3상 4레그 전압원 인버터(Three-Phase Four-Legged Voltage Source Inverter)의 공간벡터 전압변조 방식에 대한 연구

김 장 환, 설 승 기  
서울대학교

A Study about Space Vector PWM strategy  
For Three-Phase Four-Legged Voltage Source Inverter

Jang-Hwan Kim, Seung-Ki Sul  
Seoul National University

**Abstract** - 3상 4레그(leg) VSI(Voltage Source Inverter)는 독립된 3개의 출력전압을 합성할 수 있다. 따라서 전압 합성에 있어서 3개의 자유도를 갖는다. 본 논문에서는 3상 4레그 VSI를 위한 PWM방법에 대해서 설명한다. 3상 4레그 VSI를 위한 기존의 PWM기술은 3-D SVPWM으로 그 구현 방법에 있어서 많은 양의 계산과 테이블을 필요로 하였다. 하지만, 본 논문에서 제안한 방법은 3상 3레그 VSI경우에 적용되었던 오프셋(offset) 전압의 개념을 사용한다. 또한 단일 반송파를 이용하여 폴(Pole)전압과 비교함으로써 PWM을 구현하기 때문에 그 적용이 매우 간단하다. 본 논문에서는 기존의 3-D SVPWM과 제안한 방법이 해석적으로 동일한 방법임을 증명하였으며, 3상 4레그 VSI에서 합성가능한 3자유도의 전압범위를 계산하였다. 마지막으로 이를 실험을 통하여 검증하였다.

1. 서 론

3상 4선식 시스템의 경우 영상분 전압과 전류가 발생할 수 있다. 이 영상분 전압이나 전류를 제어하기 위해 기존의 많은 연구들에서는 하프브릿지(Half-bridge)나 풀브릿지(Full-bridge) 단상인버터 세개로 3상 인버터를 구성하여 각 상전압을 독립적으로 합성하는 인버터 구조를 사용하였다[1,2]. 또한 각 상전압을 독립적으로 합성할 수 있는 인버터 구조로서 3상 4레그(Leg)인버터가 제안되었으며 이를 위한 공간벡터 펄스폭 변조방식(SVPWM)이 연구되었다[4,5]. 그림 1은 3상 4레그 VSI의 회로 구성을 보여주고 있다. "f"레그의 추가로 전압합성능력에 있어서 3상 3레그 VSI가 갖는 2자유도에 영상분을 제어할 수 있는 자유도를 추가로 갖게된다. 3상 3레그 인버터의 PWM방법으로 Space Vector PWM(SVPWM)방식이 널리 알려져 있으며, 오프셋전압을 이용한 SVPWM의 구현방법은 그 적용을 더욱 용이하게 하였다[3]. 3상 4레그 인버터의 SVPWM방법은 그 구현이 복잡하며, 24개의 매트릭스 테이블을 필요로 한다[5]. 본 논문에서는 3상 3레그 VSI의 오프셋전압을 이용한 PWM방법을 확장하여 3상 4레그 VSI의 경우에 적용하고자 하며, 3상 4레그 VSI에서 합성가능한 3자유도의 전압을

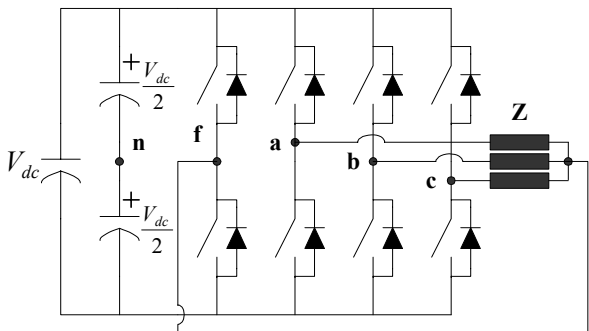


그림 1 3상 4레그 VSI 구성도 수치적으로 해석하고자 한다.

2. 본 론

2.1 기존의 3상 4레그 VSI의 PWM 방법[5]

3상 4레그 VSI는 8개의 스위치 상태의 조합에 따라 16개의 전압벡터를 합성할 수 있다. 각 레그의 스위칭 상태에 따른 출력 전압은 표 1과 같이 나타낼 수 있다. 표에서 'p'는 각 레그의 위쪽 스위치가 ON임을 'n'은 OFF임을 나타내며, 각 레그의 스위치들은 서로 상보적으로 동작한다. 이 출력 전압을 dqo전압 좌표공간에 나타내면 그림 2와 같다. 3상 3레그 인버터의 SVPWM방식과 유사하게 이웃한 3개의 유효전압벡터( $v_1, v_2, v_3$ )를 선택하고, 수식(1)과 같이 각각의 유효전압벡터의 듀티비(duty ratio)를 계산할 수 있다. 수식(1)에서  $d_1, d_2, d_3$ 는 선택된 3개 유효벡터의 인가시간을 각각  $t_1, t_2, t_3$ 라고 할때, 각 인가시간을 전체 제어주기로 나눈 값이다. 즉  $d_1=t_1/T_s, d_2=t_2/T_s, d_3=t_3/T_s$  이다. 영전압벡터( $V_0$ )가 인가되는 시간을 매 제어주기( $T_s$ )의 양쪽 끝에 대칭적으로 인가하게 함으로써, 3-D SVPWM을 구현할 수 있다.

$$\begin{bmatrix} d_1 \\ d_2 \\ d_3 \end{bmatrix} = \frac{1}{V_{dc}} Mc \begin{bmatrix} V_d^* \\ V_q^* \\ V_o^* \end{bmatrix} \quad (1)$$

하지만, 이 방식은 이웃한 유효전압벡터 3개를 찾기 위한 과정이 복잡하고, 전체 dqo 전압벡터공간을 24개의 다면체로 구분하여, 각의 다면체마다 3-D SVPWM구현을 위한 서로 다른 (3x3)Mc 매트릭스가 존재한다. (1) 수식 연산을 위해서 이를 테이블로 처리하여야 한다.

2.2 제안된 3상 4레그 VSI의 PWM방법

$V_{in}$ 을 3상 4레그 VSI에서 오프셋전압이라고 정의하자. 세개의 출력전압지령치가  $V_{ar}^*, V_{br}^*, V_{cr}^*$ 라고 가정하면 각 레그의 폴전압은 오프셋전압( $V_{in}$ )을 이용하여 다음과 같이 계산할 수 있다

표 1 스위칭 상태에 따른 dqo전압 (a,b,c,f)레그의 스위칭 상태

	pppp	nnnp	pnpn	ppnp	npnp	nppp	nnpp	pnpp
$V_d$	0	0	$\frac{2}{3}V_{dc}$	$\frac{1}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$	$-\frac{2}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$	$\frac{1}{3}V_{dc}$
$V_q$	0	0	0	$\frac{1}{\sqrt{3}}V_{dc}$	$\frac{1}{\sqrt{3}}V_{dc}$	0	$-\frac{1}{\sqrt{3}}V_{dc}$	$-\frac{1}{\sqrt{3}}V_{dc}$
$V_o$	0	$-V_{dc}$	$-\frac{2}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$	$-\frac{2}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$	$-\frac{2}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$
	pppn	nnnn	pnnn	ppnn	npnn	nppn	nnpn	pnpn
$V_d$	0	0	$\frac{2}{3}V_{dc}$	$\frac{1}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$	$-\frac{2}{3}V_{dc}$	$-\frac{1}{3}V_{dc}$	$\frac{1}{3}V_{dc}$
$V_q$	0	0	0	$\frac{1}{\sqrt{3}}V_{dc}$	$\frac{1}{\sqrt{3}}V_{dc}$	0	$-\frac{1}{\sqrt{3}}V_{dc}$	$-\frac{1}{\sqrt{3}}V_{dc}$
$V_o$	$V_{dc}$	0	$\frac{1}{3}V_{dc}$	$\frac{2}{3}V_{dc}$	$\frac{1}{3}V_{dc}$	$\frac{2}{3}V_{dc}$	$\frac{1}{3}V_{dc}$	$\frac{2}{3}V_{dc}$

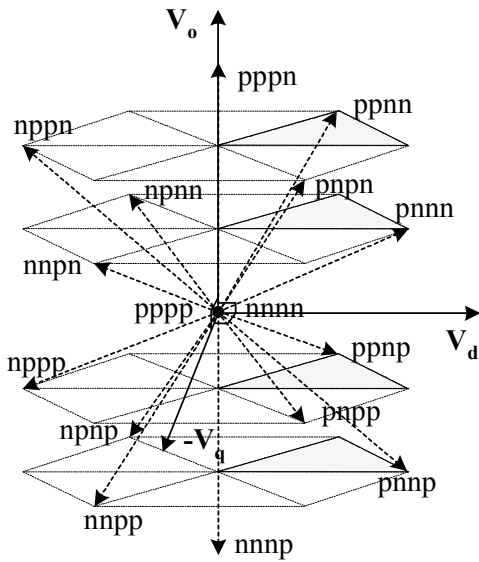


그림 2 각 레그의 스위칭상태에 따른 dq좌표상의 출력전압벡터

$$\begin{aligned} V_{an} &= V_{af}^* + V_{fn} \\ V_{bn} &= V_{bf}^* + V_{fn} \\ V_{cn} &= V_{cf}^* + V_{fn} \end{aligned} \quad (2)$$

그런데(2)는 (3,4)와 같은 제한조건을 갖는다.

$$-\frac{V_{dc}}{2} \leq V_{an}, V_{bn}, V_{cn}, V_{fn} \leq \frac{V_{dc}}{2} \quad (3)$$

$$-\frac{V_{dc}}{2} - V_{min} \leq V_{fn} \leq \frac{V_{dc}}{2} - V_{max} \quad (4)$$

세 개의 출력 전압지령치  $V_{af}^*, V_{bf}^*, V_{cf}^*$ 가 주어졌을 때, 제한조건 (3,4)을 만족시키는 폴전압  $V_{an}, V_{bn}, V_{cn}$  그리고 읍셋전압  $V_{fn}$ 의 조합은 무수히 많이 존재할 수 있다.

### 2.2.1 3D-SVPWM를 위한 $V_{fn}$ 결정

영전압벡터를 제어주기의 시작과 끝에 대칭적으로 배치 하기 위해서는 읍셋전압은 다음과 같이 결정해야 한다.

$$V_{fn} = \begin{cases} -\frac{V_{max}}{2} & (when \ V_{min} > 0) \\ -\frac{V_{min}}{2} & (when \ V_{max} < 0) \\ -\frac{V_{max} + V_{min}}{2} & (otherwise) \end{cases}$$

여기서,  $V_{max}, V_{min}$ 은 각각  $V_{af}^*, V_{bf}^*, V_{cf}^*$ 의 최대값과 최소 값을 의미한다. 이와같이 읍셋전압을 결정하고 각 레그의 폴전압을 (2)의 수식을 이용해 얻을 수 있다. 각 레그의 스위칭은 각 폴전압과 읍셋전압을 삼각파(반송파)와 비교하여 결정한다. 제안된 전체 SVPWM 방법은 그림

3과 같이 나타낼 수 있다.

### 2.2.2 합성 전압 용량계산

3개의 일정 주파수 출력전압을 다음과 같이 표시할 수 있다고 가정하자(단,  $V_a + V_b + V_c = 0$ ). 즉  $V_a, V_b, V_c$ 는 영상분전압( $V_o$ )을 제외한 순수한 dq전압성분이다.

$$\begin{aligned} V_{af} &= V_a + V_o \\ V_{bf} &= V_b + V_o \\ V_{cf} &= V_c + V_o \end{aligned}$$

dq전압( $V_{dq}$ )과 영상분 전압( $V_o$ )에 대해서 각각 합성할 수 있는 전압범위를 생각해 보자. 각 출력전압이 순수하게 영상분 전압만 존재한다고 하면( $V_a = V_b = V_c = 0$ ), 순시적으로  $-V_{dc} \leq V_o \leq V_{dc}$  까지 합성할 수 있다. 하지만, 일반적인 3상 전력시스템의 경우, dq전압이 영상분 전압에 비해 합성해야 하는 양이 크므로, dq전압용량을 최대 사용하면서, 합성할 수 있는 영상분 전압의 크기를 찾는 것이 논리적이다.

dq전압의 절대치의 최대값이  $A$ 로 주어진다 면, 이때 읍셋전압의 크기는  $A/4$ 로 제한되어지고, 이때 합성가능한 영상분 전압은  $V_{dc}/2 - A/4$ 가 된다. 예를 들어 DC link 전압이  $V_{dc}$ 로 제한된 시스템의 경우, 합성가능한 dq전압 절대치의 최대값은  $V_{dc}/\sqrt{3}$ 이다. 이때, 읍셋전압의 크기는 최대  $V_{dc}/4\sqrt{3}$ 로 주어지므로, 합성가능한 영상분 전압은  $V_{dc}/2 - V_{dc}/4\sqrt{3}$ 으로 제한된다. 결국 한상의 최대값은

$$\frac{V_{dc}}{\sqrt{3}} + \frac{V_{dc}}{2} - \frac{V_{dc}}{4\sqrt{3}} = \frac{V_{dc}}{2} + \frac{\sqrt{3} V_{dc}}{4} = 0.933 V_{dc} \text{ 이 된다.}$$

### 2.2.3 실험결과

제한한 SVPWM방법을 이용하여 실험을 통해 그 실효성을 확인하였다. 그림4는 실험장치의 구성을 보여주고 있으며, 표 2 는 실험에 사용된 파라미터의 값을 보여주고 있다. 실험에서 각 상출력전압은 DVSC (Direct Voltage Sensing Circuit)를 이용하여 측정하였다[6].

표 2 실험 파라미터

부하 저항(R)	40Ω
부하 인덕턴스(L)	50mH
DC-link 전압	300V
스위칭 주파수	5kHz

그림5의 실험은 다음 전압지령치 조건에서 실험한 파형이다.

$$\begin{aligned} V_{af}^* &= V_{dc}/\sqrt{3} \cos(120\pi t) \\ V_{bf}^* &= V_{dc}/\sqrt{3} \cos(120\pi t - 2\pi/3) \\ V_{cf}^* &= V_{dc}/\sqrt{3} \cos(120\pi t + 2\pi/3) \end{aligned}$$

즉, 영상분 전압성분은 없고, 제한된 DC-link상황에서 최대의 dq전압을 합성하도록 전압 지령치를 주었을 때를 조건으로 한 것이다. 제안한 방법으로 읍셋전압을 결정하였고, 이는 그림5a

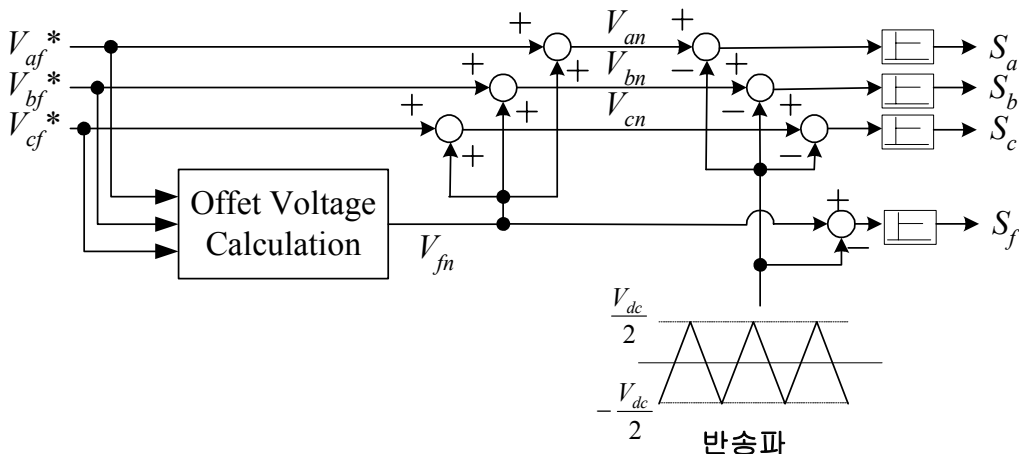


그림 3 제안된 읍셋전압을 이용한 4레그 VSI의 PWM방법

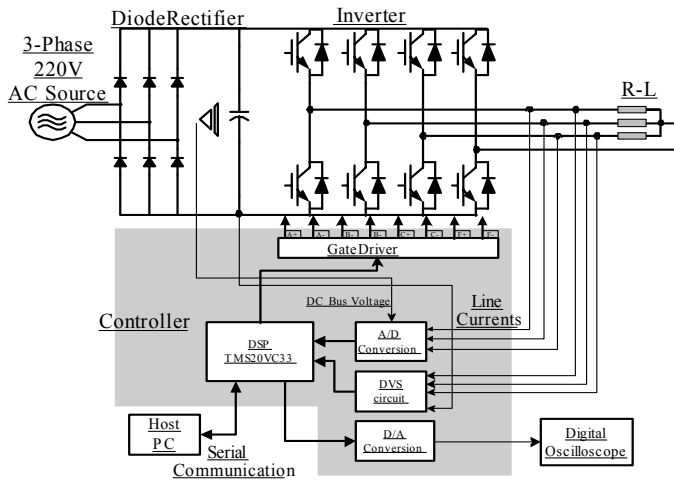


그림 4 실험세트 구성도

의 네번째 그림에 나타나 있다. 실제 출력 전압은 지령치를 잘 따라가고 있으며, 중성점 전류는 0으로 유지되고 있음을 확인할 수 있다. 그림6의 실험은 다음 전압지령치 조건에서 실험한 파형이다.

$$\begin{aligned} V_{af}^* &= V_{dc}/\sqrt{3} \cos(120\pi t) + (V_{dc}/2 - V_{dc}/4\sqrt{3}) \cos(120\pi t) \\ V_{bf}^* &= V_{dc}/\sqrt{3} \cos(120\pi t - 2\pi/3) + (V_{dc}/2 - V_{dc}/4\sqrt{3}) \cos(120\pi t) \\ V_{cf}^* &= V_{dc}/\sqrt{3} \cos(120\pi t + 2\pi/3) + (V_{dc}/2 - V_{dc}/4\sqrt{3}) \cos(120\pi t) \end{aligned}$$

즉, dq전압 조건은 그림5의 실험조건과 동일하지만, 영상분 전압성분이 첨가되어있는 경우이다. 영상분 전압은 a상과 동기되어 있고, dq전압을 최대 합성하면서, 영상분 전압을 최대한 낮은 값을 지령치로 하였다.

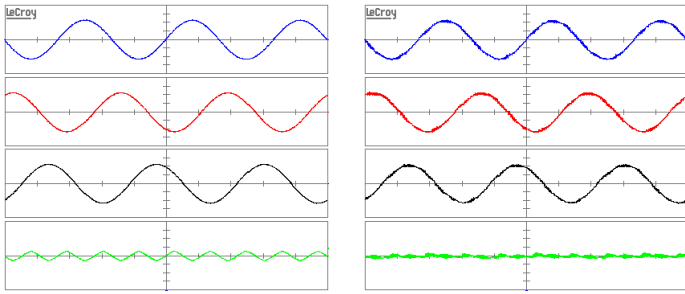


그림 5a 위에서부터 아래로,  
 $V_{af}^*$  (75V/div)  
 $V_{bf}^*$  (75V/div)  
 $V_{cf}^*$  (75V/div)  
 $V_{fn}$  (75V/div)  
 5ms/div

그림 5b 위에서부터 아래로  
 $V_{af}$  (75V/div)  
 $V_{bf}$  (75V/div)  
 $V_{cf}$  (75V/div)  
 $I_{fs}$  (3A/div)  
 5ms/div

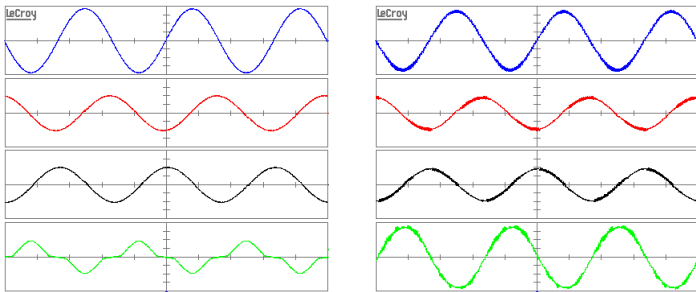


그림 6a 위에서부터 아래로  
 $V_{af}^*$  (75V/div)  
 $V_{bf}^*$  (75V/div)  
 $V_{cf}^*$  (75V/div)  
 $V_{fn}$  (75V/div)  
 5ms/div

그림 6b 위에서부터 아래로  
 $V_{af}$  (75V/div)  
 $V_{bf}$  (75V/div)  
 $V_{cf}$  (75V/div)  
 $I_{fs}$  (2A/div)  
 5ms/div

그림6a에서 각 상의 전압지령치는 영상분 성분에 의해 불평형상태임을 확인할 수 있다. 그림6b에서는 각 상의 전압은 불평형상태를 유지하며 지령값과 같이 합성되고 있음을 확인할 수 있다.

### 3. 결 론

본 논문에서는 3상 4레그 인버터의 SVPWM방법을 3상 3레그 인버터에서처럼 윗셋전압의 개념으로 설명할 수 있음을 보였다. 각  $V_{dq}$ 와  $V_o$ 의 전압합성 범위를 수치적으로 해석하였으며, 제안된 방법이 기존의 3-D SVPWM과 동일한 방법임을 보였다. 마지막으로 이를 실험을 통해 검증하였다.

### 부록

이 부록에서는 [5]의 방법과 제안한 방법이 동일함을 해석적으로 증명하고자 한다. 지면관계상 증명의 논리전개만 밝히고자 한다. [5]에서 주어진 방법대로 24개의 매트릭스중 하나에 대해서만 계산해 보자. 전압지령치가  $V_d^*, V_q^*, V_o^*$ 로 주어졌다고 가정하자. [5]에서 프리즘1, 사면체3의 영역에서 매트릭스  $M_c$ 를 A.1에 넣어 계산하면 듀티비를 계산할 수 있다.

$$\begin{bmatrix} d_1 \\ d_2 \\ d_3 \end{bmatrix} = \frac{1}{V_{dc}} \begin{bmatrix} 3/2 & -\sqrt{3}/2 & 0 \\ 0 & \sqrt{3} & 0 \\ -1/2 & -\sqrt{3}/2 & 1 \end{bmatrix} \begin{bmatrix} V_d^* \\ V_q^* \\ V_o^* \end{bmatrix}$$

$$dz = 1 - d_1 - d_2 - d_3$$

여기서, 제안된 방법으로,  $V_d, V_q, V_o$  전압과 출력전압  $V_{af}, V_{bf}, V_{cf}$ 는 다음 변환 매트릭스로 변환할 수 있다.

$$\begin{bmatrix} V_d \\ V_q \\ V_o \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \begin{bmatrix} V_{af}^* \\ V_{bf}^* \\ V_{cf}^* \end{bmatrix}$$

프리즘1, 사면체3영역에서, 제안된 윗셋계산방법에 의해  $V_{fn} = -V_{af}/2$ 가 되고, 각 폴전압은 다음과 같이 계산할 수 있다.

$$V_{an} = V_{af}^* + V_{fn}, V_{bn} = V_{bf}^* + V_{fn}, V_{cn} = V_{cf}^* + V_{fn} \quad (A.3)$$

이때, 삼각파와 비교해서 각 레그의 위쪽스위치의 ON시간을 구해보면 다음과 같이 주어진다.

$$\begin{aligned} T_a &= T_s/2 + T_s * V_{an}/V_{dc} \\ T_b &= T_s/2 + T_s * V_{bn}/V_{dc} \\ T_c &= T_s/2 + T_s * V_{cn}/V_{dc} \\ T_f &= T_s/2 + T_s * V_{fn}/V_{dc} \end{aligned} \quad (A.4)$$

앞서 [5]의 방법으로 계산한  $d_1, d_2, d_3, d_z$ 에  $T_s$ 를 곱해서 제어주기내에 (A.5) 같이 배치하여,  $T_a, T_b, T_c, T_f$ 를 계산해보면, A.4의 결과와 동일함을 확인할 수 있다.

$$\begin{aligned} T_a &= T_s (D_2/2 + D_3 + D_2 + D_1) \\ T_b &= T_s (D_2/2 + D_3 + D_2) \\ T_c &= T_s (D_2/2 + D_3) \\ T_f &= T_s (D_2/2) \end{aligned} \quad (A.5)$$

### [참 고 문 헌]

- [1] C.A.Quinn and Ned Mohan, Active Filtering of Harmonic Currents in Three-Phase, Four-Wire Systems with Three-Phase and Single-Phase Nonlinear Loads, in *Proc. IE EE-APEC93 conf.*, pp. 841-846, 1993.
- [2] Sang-Jun Lee and Seung-Ki Sul, A New Series Voltage Compensator Scheme for the Unbalanced Utility Conditions, in *Conf. Rec., EPE2001.*, 2001.
- [3] Dae-Woong Chung, Joohn-Sheok Kim and Seung-Ki Sul, Unified Voltage Modulation Technique for Real-Time Three-Phase Power Conversion, *IEEE Trans. Ind. Appl. cat.*, Vol.34, pp. 374-380, No.2, March/April 1998.
- [4] M.J. Ryan, R.W. De Donker, and R.D. Lorenz, "Decoupled Control of a Four-Leg Inverter via a New 4x4 Transformation Matrix", *IEEE Trans. Power Electron.*, Vol.16, p.694-701, Sept., 2001.
- [5] R. Zhang, V.H. Prasad, D. Boroyevich, "Three-Dimensional Space Vector Modulation for Four-Leg Voltage-Source Converters" *IEEE Trans. Power Electron.* Vol.17, pp.314-324, May, 2002.
- [6] Yo-Chan Son, Bon-Ho Bae and Seung-Ki Sul, "Sensorless Operation of Permanent Magnet Motor using Direct Voltage Sensing Circuit," in *Conf. Rec. IEEE IAS Annual Meeting*, pp.1674-1678, 2002.